

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

010977607 **Image available**

WPI Acc No: 1996-474556/ 199647

XRPX Acc No: N96-400411

Asynchronous-transfer-mode switch monitoring circuit for ATM
communication - has switch which outputs reset signal when monitored
synchronous difference of stored value of cell storages with other cell
storages is inharmonious

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8242233	A	19960917	JP 9542735	A	19950302	199647 B

Priority Applications (No Type Date): JP 9542735 A 19950302

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8242233	A	7	H04L-012/28	

Abstract (Basic): JP 8242233 A

The circuit has a multiplexer (51) which performs multiplexing of the input signals (22-1,22-N) supplied to an address filter (52-1,52-M). The output signal of the address filter is counted by counters (53-1,53-M). The number of cells in each output port buffer is stored periodically by each counter likewise the count value is periodically stored by each registering unit (54-1,54-M).

A comparator (55-1,55-M) compares the memory value of the number of cells of the registering unit to other number of stored cells. When the synchronous difference of the memory value of stored cells with other number of stored cells is inharmonious, a switch outputs a reset signal.

ADVANTAGE - Monitors synchronous slippage by comparing memory value of number of cells and other number of cells. Enables switch controller quickly and independently resets at time slippage is monitored without needing cell generating circuit for monitoring. Reliably establishes synchronisation of several switch controllers by quickly detecting initialization and abnormality of operation.

Dwg.1/4

Title Terms: ASYNCHRONOUS; TRANSFER; MODE; SWITCH; MONITOR; CIRCUIT; ATM;
COMMUNICATE; SWITCH; OUTPUT; RESET; SIGNAL; MONITOR; SYNCHRONOUS; DIFFER;
STORAGE; VALUE; CELL; CELL

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04L-012/24; H04L-012/26;

H04Q-003/00

File Segment: EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

05286733 **Image available**

ATM SWITCH MONITORING CIRCUIT

PUB. NO.: 08-242233 [JP 8242233 A]
PUBLISHED: September 17, 1996 (19960917)
INVENTOR(s): KURANO TAKANORI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 07-042735 [JP 9542735]
FILED: March 02, 1995 (19950302)
INTL CLASS: [6] H04L-012/28; H04L-012/24; H04L-012/26; H04Q-003/00
JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy); 44.4 (COMMUNICATION --
Telephone)

ABSTRACT

PURPOSE: To monitor and guarantee synchronizing operation among respective switch elements constituting an ATM switch.

CONSTITUTION: Input signals 22-1 to 22-N are multiplexed by a multiplexing part 51 and supplied to address filters 52-1 to 52-M. Outputs from the address filters 52-1 to 52-M are counted by respective counters 53-1 to 53-M. Each of the counters 53-1 to 53-M periodically counts up the number of cells stored in a buffer in each output port. The count values of the counters 53-1 to 53-M are periodically stored in respective registers 54-1 to 54-M. The storage values of respective registers 54-1 to 54-M are compared with the storage values of registers in another switch element by respective comparing circuits 55-1 to 55-M. A synchronous deviation is monitored based upon a compared result, and at the time of detecting non-coincidence, a reset signal is sent to control the synchronism of respective switch elements.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242233

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
12/24			H 0 4 Q 3/00	
12/26		9466-5K	H 0 4 L 11/08	
H 0 4 Q 3/00		9466-5K	11/20	H

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平7-42735

(22) 出願日 平成7年(1995)3月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 蔵野 貴紀

東京都港区芝五丁目7番1号 日本電気株式会社内

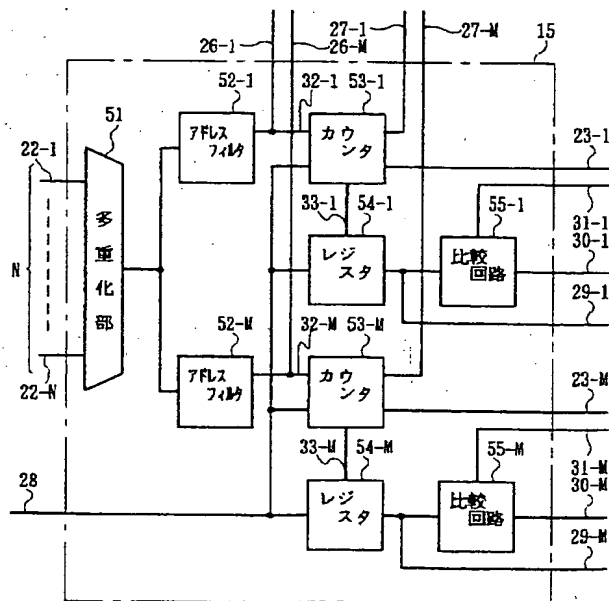
(74) 代理人 弁理士 山内 梅雄

(54) 【発明の名称】 ATMスイッチ監視回路

(57) 【要約】

【目的】 ATMスイッチが複数のスイッチエレメントからなり、各エレメント間の同期動作を監視し保証するATMスイッチの監視回路を提供すること。

【構成】 入力信号22-1...22-Nは多重化部51で多重化されてアドレスフィルタ52-1...52-Mに供給される。アドレスフィルタ52-1...52-Mの出力はカウンタ53-1...53-Mでカウントされる。カウンタ53-1...53-Mは各出力ポート毎のバッファ内のセル蓄積数を周期的にカウンする。カウンタ53-1...53-Mのカウント値は周期的にレジスタ54-1...54-Mに記憶される。レジスタ54-1...54-Mの記憶値と、他のスイッチエレメントのレジスタの値とを比較回路55-1...55-Mで比較する。比較結果により同期ずれを監視し、不一致のときにリセット信号を送出して各スイッチエレメント11-1...11-K間の同期制御を行う。



【特許請求の範囲】

【請求項1】 N本（Nは任意の整数）のスイッチの入力信号を取り込むための入力ポートと、

M本（Mは任意の整数で、 $N \neq M$ ）のスイッチの出力信号を出力する出力ポートと、

前記入力ポートからの入力信号を切り換えるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するようにしたスイッチエレメントとを具備することを特徴とするATMスイッチ監視回路。

【請求項2】 前記スイッチエレメントは、

前記入力ポートからの入力信号を格納するバッファを有し、かつその入力信号を切り換えるスイッチと、前記スイッチのバッファを制御できるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備することを特徴とする請求項1記載のATMスイッチ監視回路。

【請求項3】 バッファ制御回路は、

バッファ内に蓄積するセル数を管理するカウンタと、周期信号が受信されたときに前記カウンタの値を記憶するとともに、前記カウンタ値を出力する記憶手段と、この記憶手段に記憶されたカウンタ値と他のスイッチエレメントから入力されたカウンタ値とを比較し、その比較結果が異なる場合にリセット信号を出力する比較手段とを具備し、リセット信号を受信したときに周期信号のタイミングでバッファ制御回路をリセットするようにしたことを特徴とする請求項2記載のATMスイッチ監視回路。

【請求項4】 前記記憶手段は、レジスタであることを特徴とする請求項3記載のATMスイッチ監視回路。

【請求項5】 N本（Nは任意の整数）のスイッチの入力信号を取り込むための入力ポートと、

M本（Mは任意の整数で、 $N \neq M$ ）のスイッチの出力信号を出力する出力ポートと、

前記入力ポートからの入力信号を格納するバッファを有し、かつその入力信号を切り換えるスイッチと、このスイッチのバッファを制御できるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備することを特徴とするATMスイッチ監視回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、非同期転送モード通信方式に用いられるATMスイッチ監視回路に係わり、特にビットスライス構成により複数のスイッチエレメント

（ボード等の単位）で実現される場合のスイッチエレメント間の同期を監視するATMスイッチ監視回路に関する。

【0002】

【従来の技術】 この種の非同期転送モード（「ATM」；Asynchronous Transfer Mode；CCITT勧告1.361参照）スイッチは、通常、数百[Mbit/s]から数[Gbit/s]の高速な信号を処理するため、処理速度が高速であり、一般に、ビットスライス構成により大規模なスイッチを構成している（「出力バッファ形ATMスイッチの構成法」、鈴木他著、信学技報、SSE88-172、第37頁～第42頁、1988年発行）。

【0003】 このようなスイッチは、多くの場合、複数のスイッチエレメントに分割して実装し、それぞれのスイッチエレメントにバッファ制御回路を搭載するようにしたものが一般的である。

【0004】 図4に、このようなビットスライス形ATMスイッチを示す。同図において、ATMスイッチは、K個（Kは任意の整数）のスイッチエレメント101-1...101-Kと、監視用セル挿入部102-1...102-Nと、監視用セルの検出回路103-1...103-Mとからなる。また、各スイッチエレメント101-1...101-Kには、バッファ付きスイッチ104と、スイッチ制御回路105とから構成されている。

【0005】 スwitchの入力信号201-1...201-Nは、監視用セル挿入部102-1...102-Nに入力される。これら監視用セル挿入部102-1...102-Nからは、スイッチの信号と、スイッチの出力先を示す信号202-1...202-Nとを出力する。各スイッチの信号は、スイッチエレメント101-1...101-Nの各バッファ付きスイッチ104に入力される。また、これら信号202-1...202-Nは、スイッチエレメント101-1...101-Kの各スイッチ制御回路105に入力される。各スイッチ制御回路105には、リセット信号203も入力されている。各バッファ付きスイッチ104から出力信号は、監視用セルの検出回路103-1...103-Mに与えられる。監視用セルの検出回路103-1...103-Mからは、スイッチの出力信号204-1...204-Mが出力される。

【0006】 ここで、スイッチ制御回路105は、バッファ付きスイッチ104をバッファ制御信号205により制御する。バッファ付きスイッチ104は、一般に、複数のチップで構成される。監視用セル挿入部102-1...102-Nは、周期的に監視用セルを挿入するとともに、入力セルのヘッダを解読してスイッチの出力先を示す信号202-1...202-Nを入力セルに同期して各スイッチ制御回路105に送出する。

【0007】 また、監視用セルの検出回路103-1...103-Nは、監視セルをドロップしてセルの位相ずれ

を検出する。位相ずれを検出したときは、全てのスイッチエレメント101-1...101-Kに設けられている各スイッチ制御回路105に対してリセット信号203を送出する。

【0008】このように構成されたATMスイッチ監視回路では、全てのスイッチエレメントの各スイッチ制御回路105は同期して動作させる必要がある。このため、従来、全スイッチエレメント101-1...101-Kの初期立ち上げ時に同期してリセットをかけるようにした第1の回路と、運用中に複数のスイッチエレメント101-1...101-Kの外部から監視用のセルを取り込み、かつ複数のスイッチエレメント101-1...101-Kから出力された監視用セルが正常であることを周期的に監視し、異常検出時に、スイッチエレメント101-1...101-Kを再リセットする第2の回路を有していた。

【0009】ところで、複数のスイッチエレメント101-1...101-Kをリセットする方法としては、スイッチエレメントの1枚をマスタとし、残りをスレーブとしたとき、初期化時および異常時に制御部からの指示により、マスタからスレーブに対してリセット信号を渡すようにしたものや、異常検出時に外部からリセットを入力し、各スイッチエレメントはリセットセルを検出するとリセットするようにしたものがある（特開平5-327777号公報参照）。

【0010】

【発明が解決しようとする課題】このような従来のリセットするものでは、スイッチ外部から監視用のセルを周期的に入力して、スイッチが出力する監視セルを検出することにより、スイッチエレメント間の同期監視を行っていたため、スイッチ外部に監視用のセルを生成・検出する回路がスイッチの入出力ごとに必要であり、部品点数が増加する欠点があった。

【0011】また、運用中に異常が発生した場合にリセットによる再同期を行うと、全ての回路（入出力ポート）にリセットがかかり、正常な入出力ポートもリセットされてしまい、データが廃棄されてしまうという欠点があった。

【0012】さらに、監視セルによる異常検出後にスイッチエレメントをリセットする指示をコンピュータ（CPU）等の制御部で行う場合、異常からの回復に至るまで時間がかかるという問題があった。

【0013】そこで、本発明の目的は、上記した従来装置の欠点を解消し、各スイッチエレメントの間の同期動作を監視し保障するATMスイッチ監視回路を提供することにある。

【0014】

【課題を解決するための手段】請求項1記載の発明では、（イ）N本（Nは任意の整数）のスイッチの入力信号を取り込むための入力ポートと、（ロ）M本（Mは任

意の整数で、 $N \neq M$ ）のスイッチの出力信号を出力する出力ポートと、（ハ）入力ポートからの入力信号を切り換えるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力できるようにしたスイッチエレメントとを具備することを特徴とするものである。

【0015】すなわち、請求項1記載の発明では、スイッチ監視用セル、リセットセル等の特殊なセルを定義することなく、かつスイッチ外部に監視用のセル生成回路を必要とせず、初期化時および異常時検出から迅速かつ独立にリセットを行うことができ、複数のスイッチエレメントを間の同期を確立できる。

【0016】請求項2記載に発明では、スイッチエレメントは、（イ）入力ポートからの入力信号を格納するバッファを有し、かつその入力信号を切り換えるスイッチと、（ロ）スイッチのバッファを制御できるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備するものである。

【0017】請求項3記載の発明では、バッファ制御回路は、（イ）バッファ内に蓄積するセル数を管理するカウンタと、（ロ）周期信号が受信されたときにカウンタの値を記憶するとともに、カウント値を出力する記憶手段と、（ハ）記憶手段に記憶されたカウント値と他のスイッチエレメントから入力されたカウント値とを比較し、その比較結果が異なる場合にリセット信号を出力する比較手段とを具備し、リセット信号を受信したときに周期信号のタイミングでバッファ制御回路をリセットするようにしたことを特徴とするものである。

【0018】請求項4記載の発明では、記憶手段は、レジスタであることを特徴とするものである。

【0019】請求項5記載の発明では、（イ）N本（Nは任意の整数）のスイッチの入力信号を取り込むための入力ポートと、（ロ）M本（Mは任意の整数で、 $N \neq M$ ）のスイッチの出力信号を出力する出力ポートと、

（ハ）入力ポートからの入力信号を格納するバッファを有し、かつその入力信号を切り換えるスイッチと、

（ニ）スイッチのバッファを制御できるとともに、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備することを特徴とするものである。

【0020】すなわち、請求項5記載の発明では、スイッチ監視用セル、リセットセル等の特殊なセルを定義することなく、かつスイッチ外部に監視用のセル生成回路を必要とせず、初期化時および異常時検出から迅速か

つ独立にリセットを行うことができ、複数のスイッチエレメントを間の同期を確立できる。

【0021】

【実施例】以下実施例につき本発明を詳細に説明する。

【0022】図3は、本発明が適用されるATMスイッチを示すものである。同図において、ATMスイッチは、K個(Kは任意の整数)のスイッチエレメント11-1...11-Kと、監視用セル挿入部12-1...12-Nと、監視用セルの検出回路13-1...13-Mとからなる。また、各スイッチエレメント11-1...11-Kには、バッファ付きスイッチ14と、スイッチ制御回路15とから構成されている。

【0023】スイッチの入力信号21-1...21-Nは、監視用セル挿入部12-1...12-Nに入力される。これら監視用セル挿入部12-1...12-Nからは、スイッチの信号と、スイッチの出力先を示す信号22-1...22-Nとを出力する。各スイッチの信号は、スイッチエレメント11-1...11-Nの各バッファ付きスイッチ14に入力される。また、これら信号22-1...22-Nは、スイッチエレメント11-1...11-Kの各スイッチ制御回路15に入力される。各スイッチ制御回路15には、リセット信号23も入力されている。各バッファ付きスイッチ14から出力信号は、監視用セルの検出回路13-1...13-Mに与えられる。監視用セルの検出回路13-1...13-Mからは、スイッチの出力信号24-1...24-Mが出力される。

【0024】ここで、スイッチ制御回路15は、バッファ付きスイッチ14をバッファ制御信号25により制御する。バッファ付きスイッチ14は、一般に、複数のチップで構成される。監視用セル挿入部12-1...12-Nは、周期的に監視用セルを挿入するとともに、入力セルのヘッダを解釈してスイッチの出力先を示す信号22-1...22-Nを入力セルに同期して各スイッチ制御回路15に送出する。

【0025】また、監視用セルの検出回路13-1...13-Mは、監視セルをドロップしてセルの位相ずれを検出する。位相ずれを検出した時は、全てのスイッチエレメント11-1...11-Kに設けられている各スイッチ制御回路15に対してリセット信号23を送出する。

【0026】図1は、ATMスイッチ監視回路を備えたスイッチ制御回路15を示すものである。ATMスイッチ監視回路を備えたスイッチ制御回路15は、多重化部51と、アドレスフィルタ52-1...52-Mと、カウンタ53-1...53-Mと、レジスタ54-1...54-Mと、比較回路55-1...55-Mとを具備している。

【0027】図2は、本発明のスイッチ監視回路における制御信号のタイムチャート例を示すものである。この図で、横軸には時間を、縦軸には、周期信号28と、セル先頭信号32と、カウンタ53の出力値33、レジスタ54のラッチ値(カウンタ記憶値(カウンタ値出力2

9)、カウンタ値入力30、リセット出力31を示している。また、周期信号28は、セル先頭信号33に同期しており、セル長の整数倍の周期をもつ。また、セル蓄積数カウンタ53-1...53-Mは、各出力ポートごとに管理しているバッファ内のセル蓄積数を示し、セル先頭信号32に同期してセルが入出力されるごとに更新される。カウンタ値出力29は、周期信号28のタイミングでセル蓄積数カウンタ53のカウンタ値をラッチした値を示すものであり、レジスタ54の出力データである。カウンタ値入力30は、他スイッチエレメントが周期信号のタイミングでラッチしたバッファ内セル蓄積数を示し、これとカウンタ値出力29からリセット出力31を出力する。リセット出力31は外部で他のスイッチエレメントのリセット出力と論理和がとられ、リセット入力となる。そしてリセット入力アクティブ(図2ではロウ(Low)レベル)になっているとき、周期信号28のタイミングでバッファ内セル蓄積数カウンタ53-1...53-Mをリセットする。

【0028】次に、その動作を説明すると、スイッチの出力先を示す信号22-1...22-Nは、多重化部51で多重化されて全ての出力ポートに供給される。各出力ポートにはアドレスフィルタ52-1...52-Mが設けられているので、これらアドレスフィルタ52-1...52-Mにより、出力先を示す信号との一致検出を行い、一致したときにバッファ書き込み制御信号26-1...26-Mを出力する。また、このとき、セル先頭信号32が入力されたので、スイッチ制御回路15内のセル蓄積数を示すカウンタ53-1...53-Mに対して「1」を加算する。

【0029】これらカウンタ53-1...53-Mのカウンタ値が零より大きいときには、出力側のセルタイミングでバッファ読出し制御信号27-1...27-Mを送出し、カウンタ53-1...53-Mに対して「1」を減算する。通常は、以上のシーケンスを繰り返す。

【0030】さらに本スイッチには、図2(a)に示すように、監視周期を示す周期信号28が入力されている。この周期信号28が入力されたタイミングにおいて、各カウンタ53-1...53-Mにおいてカウンタした値を(図2(c)参照)、レジスタ54-1...54-Mにラッチする(図2(d)のタイミングta参照)。ラッチされた値は、比較回路55-1...55-Mに与えられるとともに、他のスイッチエレメント11-1...11-Kに対してカウンタ値出力29-1...29-Mとして出力される。比較回路55-1...55-Mでは、図2(e)に示すような、他のスイッチエレメントから入力されるカウンタ値30-1...30-Mと、ラッチした値(図2(e)参照)とを比較し、その比較結果が不一致の場合には、図2(f)の時刻tbに示すようにリセット出力31-1...31-Mを出力する。

【0031】また、外部からのリセット入力32-1...

32-Mがリセットを示すとき、図2(c)の時刻 t_c に示すように、周期信号28のタイミングでカウンタ53-1...53-Mをリセットするとともに、図示していないリセット信号で、図示しないバッファをリセットする。

【0032】このようにした実施例では、スイッチの監視用セル、リセットセル等の特殊なセルを定義する必要が無く、またスイッチ外部に監視用のセル生成(挿入)あるいは検出(ドロップ)のための回路を必要とせず、初期化時および異常検出時から速やかに、しかもポートごとに独立にリセットを行うことができ、複数のスイッチエレメント間の同期を確立できる。

【0033】また、本実施例では、スイッチ規模やスイッチ速度に無関係に処理速度を一定とすることができるため、超高速なATMスイッチにも適用可能である。

【0034】

【発明の効果】以上説明したように請求項1記載の発明では、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力できるようにしたので、スイッチ監視用セル、リセットセル等の特殊なセルを定義することなく、かつスイッチ外部に監視用のセル生成回路を必要とせず、初期化時および異常検出から迅速かつ独立にリセットを行うことができ、複数のスイッチエレメントを間の同期を確立できる。

【0035】また請求項2記載に発明では、スイッチの入力信号を切り換えるスイッチと、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備するので、スイッチの入力の切替と、同期ずれ等の確実に監視することができる。

【0036】更に請求項3記載の発明では、バッファ制御回路がバッファ内に蓄積するセル数を管理するカウンタと、周期信号が受信されたときにカウンタの値を記憶するとともに、カウント値を出力する記憶手段と、記憶手段に記憶されたカウント値と他のスイッチエレメントから入力されたカウント値とを比較し、その比較結果が

異なる場合にリセット信号を出力する比較手段とを具備するようにしたので、初期化時および異常検出から迅速かつ独立にリセットを行うことが可能であり、かつ複数のスイッチエレメントを間の同期を確実に確立できる。

【0037】また請求項4記載の発明では、記憶手段をレジスタで構成したので、記憶手段が簡単な構成で得られる。

【0038】更に請求項5記載の発明では、入力信号を切り換えるスイッチと、各出力ポートごとのバッファ内のセル蓄積数を周期的に記憶し、このセル蓄積数の記憶値と他のセル蓄積数とを比較して同期ずれを監視し、不一致のときにリセット信号を出力するスイッチ制御回路とを具備するので、スイッチ監視用セル、リセットセル等の特殊なセルを定義することなく、かつスイッチ外部に監視用のセル生成回路を必要とせず、初期化時および異常検出から迅速かつ独立にリセットを行うことができ、複数のスイッチエレメントを間の同期を確立できる。

20 【図面の簡単な説明】

【図1】本発明に係るATMスイッチ監視回路の一実施例を示すブロック図である。

【図2】同実施例の動作を説明するためのフローチャートである。

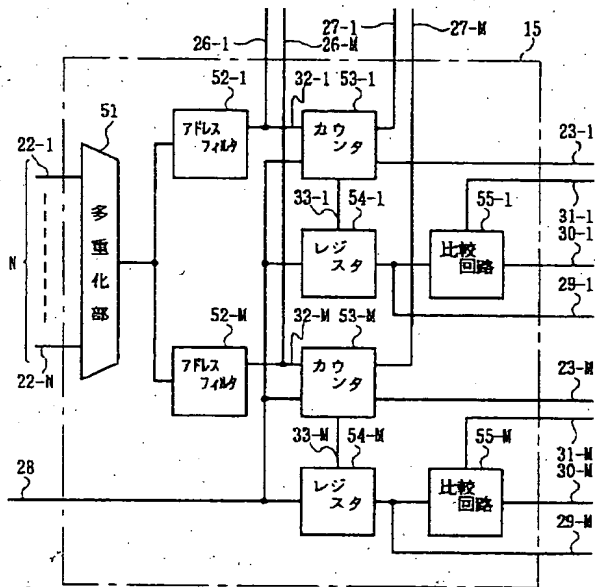
【図3】同実施例が適用されるATMスイッチの構成例を示すブロック図である。

【図4】従来のATMスイッチの構成例を示すブロック図である。

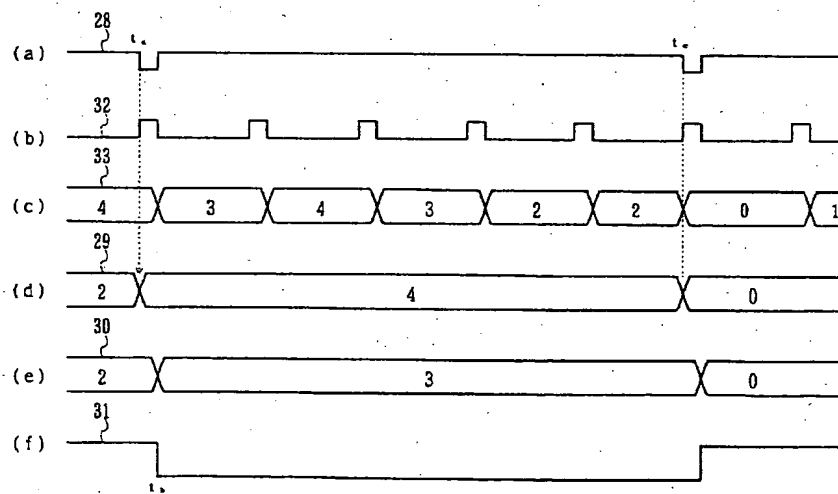
【符号の説明】

- 30 11-1...11-K スwitchエレメント
12-1...12-N 監視用セル挿入部
13-1...13-M 監視用セルの検出回路
14 バッファ付きスイッチ
15 スwitch制御回路
51 多重化部
52-1...52-M アドレスフィルタ
53-1...53-M カウンタ
54-1...54-M レジスタ
55-1...55-M 比較回路

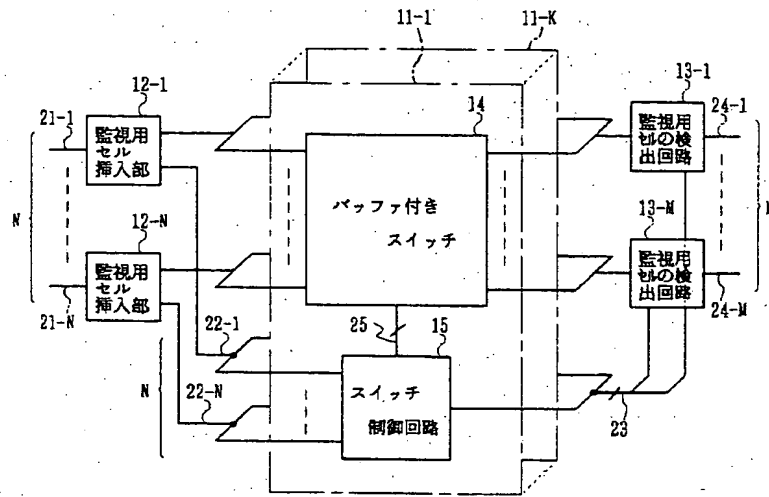
【図1】



【図2】



【図3】



【図4】

